

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

05564330 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **09-179130** [JP 9179130 A]

PUBLISHED: July 11, 1997 (19970711)

INVENTOR(s): CHIYOU KOUYUU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company

or Corporation), JP (Japan)

APPL. NO.: 07-350229 [JP 95350229]

FILED: December 21, 1995 (19951221)

INTL CLASS: [6] G02F-001/1339; G02F-001/1333; G02F-001/1343; G02F-001/136

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS); R119 (CHEMISTRY -- Heat
Resistant Resins); R124 (CHEMISTRY -- Epoxy Resins)

ABSTRACT

PROBLEM TO BE SOLVED: To improve the yield and reliability of liquid
crystal display device by uniforming the step of seal member.

SOLUTION: The starting film of scanning line is patterned, dummy wiring 301
of 1st layer in the shape of, rectangular pole not to be connected
electrically is formed in areas R1 and R2, wiring 302 extended from a
picture element part is formed in an area R3, and wiring 303 having a
connection end part 303a is formed in an area R4. After inter-layer
insulating films are formed on these surfaces, the starting film of signal
line is patterned, dummy wiring 304 of 2nd layer is formed so as to fill
the gaps of wiring 301-303, and wiring 305 extended from a picture element
part is connected with the wiring 303. As a result, the cross section of
seal member forming area 107 along a line A-A' can be uniformly
constituted.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-179130

(43) 公開日 平成9年(1997)7月11日

(51) Int. Cl. ⁶
G02F 1/1339 500
1/1333 500
1/1343
1/136 500

F I
G02F 1/1339 500
1/1333 500
1/1343
1/136 500

審査請求 未請求 請求項の数23 F D (全14頁)

(21) 出願番号 特願平7-350229

(22) 出願日 平成7年(1995)12月21日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

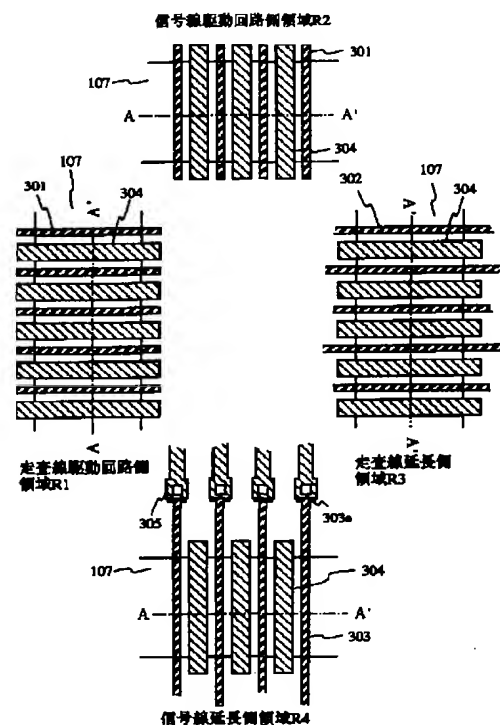
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 シール材の段差を一様にして、液晶表示装置の歩留まり、信頼性を向上する。

【解決手段】 走査線の出発膜をパターンニングして、領域R1、領域R2には、電気的に接続されない角柱状の第1層目のダミー配線301が形成され、領域R3には、画素部から延長された配線302が形成され、領域R4には、接続端部303aを有する配線303が形成される。これらの表面に層間絶縁膜が形成された後に、信号線の出発膜をパターンニングして、配線301～303の間隙を埋めるように第2層目のダミー配線304が形成されると共に、画素部から延長された配線305と配線303が接続される。この結果、シール材形成領域107の線A-A'に沿った断面構成を一様にする事ができる。



【特許請求の範囲】

【請求項 1】 マトリクス回路を有する素子基板と、
該素子基板と対向する対向基板と、
前記素子基板と前記対向基板とを接着するためのシール材と、

を有する液晶表示装置において、
前記素子基板において、前記シール材が形成される領域には、少なくとも 1 層以上の積層構造を有する基板間隔補正手段が配置されていることを特徴とする液晶表示装置。

【請求項 2】 請求項 1 において、前記基板間隔補正手段は、少なくとも前記マトリクス回路の配線と同一の材料からなる支持部材を含むことを特徴とする液晶表示装置。

【請求項 3】 請求項 1 において、前記マトリクス回路は絶縁膜により層毎に絶縁されている層状の配線構造を有し、前記基板間隔補正手段は、少なくとも前記層状の配線と同一の積層構造を有することを特徴とする液晶表示装置。

【請求項 4】 請求項 1 において、前記基板間隔補正手段の厚さの最大値は、前記マトリクス回路の厚さの最大値と略等しいことを特徴とする液晶表示装置。

【請求項 5】 請求項 1 に記載の素子基板において、マトリクス回路を駆動するための周辺回路が前記マトリクス回路と、前記シール材との間に配置されていることを特徴とする液晶表示装置。

【請求項 6】 マトリクス状に配置され、第 1 の層間絶縁膜より層間分離された信号線と走査線と、該信号線と該走査線との交点に配置され、第 2 の層間絶縁膜により信号線と層間分離された画素電極とを有するマトリクス回路と、該マトリクス回路を制御するための周辺駆動回路とを有する素子基板と、
該素子基板と対向する対向基板と、
前記マトリクス回路を取り囲み、前記素子基板と前記対向基板とを接着するためのシール材と、
を有する液晶表示装置において、
前記素子基板において、前記シール材の形成領域には、少なくとも信号線と同一の材料から成る第 1 の支持手段と、前記第 1 の層間絶縁膜と、信号線と同一の材料から成る第 2 の支持手段と、第 2 の層間絶縁膜とが互いに異なる層に形成されている基板間隔補正手段を有することを特徴とする液晶表示装置。

【請求項 7】 請求項 6 に記載の素子基板において、マトリクス回路を駆動するための周辺回路が前記マトリクス回路と、前記シール材との間に配置されていることを特徴とする液晶表示装置。

【請求項 8】 請求項 6 に記載の基板間隔補正手段において、前記第 1 の支持部材の端面と第 2 の支持部材の端面とは重ならないことを特徴とする液晶表示装置。

【請求項 9】 請求項 6 に記載の基板間隔補正手段は、

少なくとも、前記マトリクスにおいて前記信号線と前記走査線が重なっている領域と同一の積層構造を有することを特徴とする液晶表示装置。

【請求項 10】 請求項 6 において、前記基板間隔補正手段の厚さの最大値は、前記マトリクス回路の厚さの最大値と略等しいことを特徴とする液晶表示装置。

【請求項 11】 請求項 6 において、前記シール材内部に配置された回路と、前記素子基板上の前記シール材の外側に配置された回路、又は前記素子基板外部の回路とを接続するための配線は、前記第 1 の支持部材と一体的に形成され、前記第 1 の支持部材は前記シール材の外側に延長していることを特徴とする液晶表示装置。

【請求項 12】 請求項 6 において、前記シール材内部に配置された回路と、前記素子基板上の前記シール材の外側に配置された回路、又は前記素子基板外部の回路とを接続するための配線は、前記シール材の内側で前記第 1 の支持部材と接続され、前記第 1 の支持部材は前記シール材の外側に延長していることを特徴とする液晶表示装置。

【請求項 13】 請求項 6 において、前記第 2 の支持部材は、前記シール材内部に配置された回路と、前記素子基板上の前記シール材の外側に配置された回路、及び前記素子基板外部の回路とに電気的に接続されていないことを特徴とする液晶表示装置。

【請求項 14】 請求項 6 に記載の基板間隔補正手段において、前記第 1 の支持部材は線状の配線が等間隔に配置され、前記第 2 の配線層には、前記第 1 の配線層の間隙に、信号線又は走査線と平行な線状の配線が等間隔に配置されていることを特徴とする液晶表示装置。

【請求項 15】 請求項 6 において、前記第 1 の支持部材は、前記シール材の幅と略等しく蛇行する形状であることを特徴とする液晶表示装置。

【請求項 16】 請求項 6 において、前記第 1 の支持部材は、前記リクス記第 2 の支持部材のピッチは前記画素電極のピッチと概略等しいことを特徴とする液晶表示装置。

【請求項 17】 請求項 6 に記載のマトリクス回路は前記信号線に接続される画素電極と、該画素電極を駆動する薄膜トランジスタを有し、前記第 1 の支持部材は前記走査線と同時に形成され、前記第 2 の支持部材は前記信号線と同時に形成されることを特徴とする液晶表示装置。

【請求項 18】 マトリクス状に配置され、第 1 の層間絶縁膜より層間分離された信号線と走査線と、該信号線と該走査線との交点に配置され、第 2 の層間絶縁膜により信号線と層間分離された画素電極と、画素電極を動作させるための薄膜トランジスタとを有するマトリクス回路と、該マトリクス回路を制御するための周辺駆動回路とを有する素子基板と、

該素子基板と対向する対向基板と、

10

20

30

40

50

前記マトリクス回路を取り囲み、前記素子基板と前記対向基板とを接着するためのシール材と、
を有する液晶表示装置において、
前記素子基板において、前記シール材の形成領域には、少なくとも走査線と同一の材料から成る支持手段と、前記第 1 の層間絶縁膜と、第 2 の層間絶縁膜とが互いに異なる層に形成されている基板間隔補正手段を有することを特徴とする液晶表示装置。

【請求項 1 9】 請求項 1 8 に記載の素子基板において、マトリクス回路を駆動するための周辺回路が前記マトリクス回路と、前記シール材との間に配置されていることを特徴とする液晶表示装置。

【請求項 2 0】 請求項 1 8 において、前記シール材内部に配置された回路と、前記素子基板上の前記シール材の外側に配置された回路、又は前記素子基板外部の回路とを接続するための配線は、前記支持部材と一体的に形成され、前記第 1 の支持部材は前記シール材の外側に延長していることを特徴とする液晶表示装置。

【請求項 2 1】 請求項 1 8 において、前記シール材内部に配置された回路と、前記素子基板上の前記シール材の外側に配置された回路、又は前記素子基板外部の回路とを接続するための配線は、前記シール材の内側で前記支持部材と接続され、前記支持部材は前記シール材の外側に延長していることを特徴とする液晶表示装置。

【請求項 2 2】 請求項 1 8 において、前記支持部材は、素子基板の縁部に沿った複数の分岐を有する線状の部材であることを特徴とする液晶表示装置。

【請求項 2 3】 請求項 2 2 において、前記支持部材の分岐は前記シール材が形成される領域の内側で、且つ素子基板の外側より形成されていることを特徴とする。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は、アクティブマトリックス方式の液晶表示装置に関するものであり、基板張り合わせ時に発生する不良を削減することを目的とする。特に、周辺回路一体型の液晶表示装置に関するものである。

【 0 0 0 2 】

【従来の技術】 従来のアクティブマトリックス型液晶表示装置においては、画素部にマトリクス状に配置された MIM 等の 2 端子素子、又は TFT 等の 3 端子素子のスイッチング作用を利用して、画素電極間に挟持されている液晶材料の透光性等の光学特性を制御して、表示を得ている。一般に、画素電極のスイッチング素子として、アモルファスシリコンを使用した TFT が広く使用されている。

【 0 0 0 3 】 しかしながら、アモルファスシリコンの電界効果移動度が $0.1 \text{ cm/Vs} \sim 1 \text{ cm/Vs}$ 程度と低いため、アモルファスシリコンを利用した TFT を画素電極に接続された TFT を制御する周辺駆動回路に

配置することはできない。

【 0 0 0 4 】 このため、従来のアクティブマトリックス型液晶表示装置では、半導体集積回路により構成された周辺駆動回路を、テープ自動ボンディング (TAB) 法や、チップ・オン・ガラス (COG) 法により、液晶パネルに外付けしている。

【 0 0 0 5 】 図 1 6 は第 1 の従来例のアクティブマトリックス型液晶パネルの概略の正面図であり、周辺駆動回路を外付けにしたものである。図 1 6 に示すように、ガラス、石英等の素子基板 1 上には、走査線 2、信号線 3 がマトリクス上に配置され、画素部 4 において、これらの配線の交差部には、画素電極、画素電極のスイッチング用の画素 TFT が接続されている。走査線 2、信号線 3 はそれぞれシール材領域 5 の外側まで延在しており、このため、シール材を横切る配線数は少なくとも、走査線 2、信号線 3 の数だけある。それら配線の端部はそのまま引き出し端子 6 となり、引き出し端子 6 には、図示しない周辺駆動回路接続されている。更に、シール材領域 5 に形成されるシール材により、素子基板 1 と図示しない対向基板とが接合され、これらの基板間にシール材により液晶材料が封入されている。

【 0 0 0 6 】 また、近年では、電界効果移動度が大きい TFT を得るために、結晶性シリコンを利用して TFT を作製技術が盛んに研究されている。結晶性シリコンを利用した TFT はアモルファスシリコン TFT よりも格段の高速動作が可能であり、結晶性シリコンにより、NMOS の TFT のみでなく、PMOS の TFT も同様に得られるので CMOS 回路を形成することが可能である。従って、同一基板上に表示部と共に、周辺駆動回路を作製することが可能になる。

【 0 0 0 7 】 図 1 7 は第 2 の従来例のアクティブマトリックス型液晶表示装置の概略の正面図であり、周辺駆動回路と表示部をパネル一体化したものである。図 1 7 に示すように、ガラス、石英等の素子基板 1 1 上には、画素部 1 2 が配置され、画素部 1 2 の周囲において、上側には信号線駆動回路 1 3 が設けられ、左側には走査線駆動回路 1 4 が設けられている。信号線駆動回路 1 3、走査線駆動回路 1 4 にはそれぞれ信号線 1 5、走査線 1 6 が接続されている。信号線 1 5、走査線 1 6 はそれぞれ画素部 1 2 において格子を成し、信号線駆動回路 1 3、走査線駆動回路 1 4 に接続されていない端部はシール材領域 1 7 の外側まで延在して、図示しない制御回路、電源等が接続されている。また、シール材領域 1 7 に形成されるシール材により、素子基板 1 1 と対向基板 1 8 とが接合され、シール材形により、これら基板 1 1、1 8 間に液晶材料が封入されている。更に、素子基板 1 1 上には、外部端子 1 9 が設けられている。

【 0 0 0 8 】

【発明が解決しようとする課題】 図 1 6 に示す第 1 の従来例では、画素部 4 周辺の配線構造が紙面において上下

及び左右に対称的であるため、シール部の段差が均一になるので、基板間隔を均等にすることができる。

【0009】しかしながら、第1の従来例では、周辺駆動回路がシール材の外側に接続されるため、シール材を横切る配線数が多く、駆動回路から画素部に接続されている配線とシール材との界面から水分が侵入して、液晶表材料を劣化してしまうという問題点がある。また、周辺駆動回路が外側にあるため、装置自体が大型化してしまう。

【0010】これらの問題点を回避するために、図17に示す第2の従来例の周辺駆動回路一体型のアクティブマトリックス型液晶表示装置では、シール材領域17の内側に周辺駆動回路を配置している。また、一般的に冗長回路を設けずに、片側駆動方式が採用されている。このため、図13に示すように、素子基板11の右側、下側だけ配線がシール材を横断しているため、配線構造が紙面上下及び左右で対称性が無くなり、シール材の段差は周辺駆動回路側と、配線が延長している側では異なる。従って、基板を張り合わせの際に、基板に均等に圧力がかからないため、基板間隔を均等にすることが困難になる。この結果、表示ムラが生じたり、画質を低下させてしまう。

【0011】特に、周辺駆動回路側のシール材の段差が低くなっているため、基板張り合わせ時に、周辺駆動回路において、配線が上下間でショートしてしまう恐れがあり、線欠陥が生じ易い。これらの問題点は、周辺駆動回路一体型の液晶表示装置の歩留りの低下、信頼性の低下の新たな原因となっている。

【0012】また、画素部において、最も突出している部分は走査線と信号線とが重なっている領域であり、この領域には、走査線、信号線、これらを分離するための層間絶縁膜のみでなく、更に、画素電極、ブラックマトリクス等が積層されている。一般に、シール材には基板間隔を維持するための円柱状のファイバーが混入されている。ファイバーの寸法は画素部の突出部の厚さと、シール材の内側に散布されるスペーサーの寸法とを合わせて、マージンを考慮した値とされて、画素部よりシール材の段差が高くなるようにしているが、画素部の突出部にスペーサーが配置されていると、シール材よりもこの部分のほうが高くなってしまいますので、この状態で、基板を張り合わせると、スペーサにより走査線と信号線が上下間でショートされてしまい、点欠陥、線欠陥の原因となる。

【0013】本発明の目的は、上述の問題点を解消して、画質の優れた、信頼性の高い周辺駆動回路一体型の液晶表示装置を提供することにある。

【0014】

【課題を解決するための手段】 上述の問題点を解消するために、本発明に係る液晶表示装置の構成は、マトリクス回路を有する素子基板と、該素子基板と対向する対向

基板と、前記素子基板と前記対向基板とを接合するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材が形成される領域には、少なくとも1層以上の積層構造を有する基板間隔補正手段が配置されていることを特徴とする。

【0015】また本発明の他の構成は、マトリクス状に配置され、第1の層間絶縁膜より層間分離された信号線と走査線と、該信号線と該走査線との交点に配置され、第2の層間絶縁膜により信号線と層間分離された画素電極とを有するマトリクス回路と、該マトリクス回路を制御するための周辺駆動回路とを有する素子基板と、該素子基板と対向する対向基板と、前記マトリクス回路を取り囲み、前記素子基板と前記対向基板とを接合するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材の形成領域には、少なくとも信号線と同一の材料から成る第1の支持手段と、前記第1の層間絶縁膜と、信号線と同一の材料から成る第2の支持手段と、第2の層間絶縁膜とが互いに異なる層に形成されている基板間隔補正手段を有することを特徴とする。

【0016】更に、本発明に係る液晶表示装置の他の構成は、マトリクス状に配置され、第1の層間絶縁膜より層間分離された信号線と走査線と、該信号線と該走査線との交点に配置され、第2の層間絶縁膜により信号線と層間分離された画素電極と、画素電極を動作させるための薄膜トランジスタとを有するマトリクス回路と、該マトリクス回路を制御するための周辺駆動回路とを有する素子基板と、該素子基板と対向する対向基板と、前記マトリクス回路を取り囲み、前記素子基板と前記対向基板とを接合するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材の形成領域には、少なくとも走査線と同一の材料から成る支持手段と、前記第1の層間絶縁膜と、第2の層間絶縁膜とが互いに異なる層に形成されている基板間隔補正手段を有することを特徴とする。

【0017】

【発明の実施の形態】 図面を使用して本発明の実施の形態を説明する。図1は本実施例のアクティブマトリックス型液晶表示装置の素子基板の概略の正面図であり、周辺駆動回路103、102と表示部102が素子基板101上に配置されている。

【0018】図1に示すように、紙面右側、下側において、信号線105、走査線106がシール材形成領域107を横断しているが、周辺回路103、104側のシール材形成領域107には、これらの配線が横断していない。このため本発明において、シール材下部構造の段差を均一にする基板間隔補正手段を形成する。

【0019】図6は基板間隔維持手段のシール材幅方向の断面図である。図6に示すように、シール材形成領域には、走査線106と同一の材料から成る第1の支持部

材 3 0 1、3 0 2、3 0 3 と、信号線 1 0 5 と走査線 1 0 6 とを分離する第 1 の層間絶縁膜 2 2 0、信号線 1 0 5 と同一の材料から成る第 2 の支持部材 3 0 4 とが積層されている。特に、第 1 の支持部材 3 0 1、3 0 2、3 0 3 上に、第 2 の支持部材 3 0 4 が存在しないようにしたため、シール材形成領域 1 0 7 の縁部に沿った基板間隔維持手段の断面構成を一樣になるので、シール材の段差を均一にすることができる。

【0020】図 1 5 は他の基板間隔維持手段のシール材幅方向の断面図である。図 1 5 に示すように、シール材形成領域 1 0 7 には、走査線 1 0 6 と同一の材料から成る第 1 の支持部材 3 0 1、3 0 2、3 0 3 と、信号線 1 0 5 と走査線 1 0 6 とを分離する第 1 の層間絶縁膜 2 2 0、信号線 1 0 5 と同一の材料から成る第 2 の支持部材 7 0 1 とが積層されている。マトリクス回路の厚さが最大となる領域は、信号線 1 0 5 と走査線 1 0 6 とが重なる領域であり、その領域には、少なくとも、素子基板上に、信号線、層間絶縁膜、走査線、パッシベーション膜が積層されている。従って、本発明では、第 1 の支持部材 3 0 1、3 0 2、3 0 3 上と、第 2 の支持部材 7 0 1 とを重なるように配置することにより、基板間隔保持手段の段差と、マトリクス回路の厚さが最大となる領域の高さを略等しくすることができるので、シール材よりも、スペーサーを含むマトリクス回路の段差が低くなるので、基板を張り合わせる際の圧力はシール材で支えることができるため、スペーサにより走査線と信号線が上下間でショートされることを防止することができる。なお、信号線 1 0 5 と走査線 1 0 6 とが重なる領域には、更に、画素電極、ブラックマトリクス等が積層されるため、基板間隔形成手段にも、同様に、画素電極、ブラックマトリクス等を積層するとよい。

【0021】図 4 は基板間隔補正手段の上面図であり、シール材形成領域 1 0 7 には、線状の第 1 の支持部材 3 0 1、3 0 2、3 0 3 と第 2 の支持部材 3 0 4 とが等間隔に交互に配置されている

【0022】マトリクス回路から延長された走査線はシール材形成領域 1 0 7 を横断する領域 R3 において、第 1 の支持部材 3 0 2 と一体的に形成され、シール材形成領域 1 0 7 の外部に延長される。他方、マトリクス回路 1 0 2 から延長された信号線 3 0 5 はシール材形成領域 1 0 7 を横断する第 1 の支持部材 3 0 3 とシール材形成領域 1 0 7 の内側で接続される。

【0023】このように、本発明では、シール材形成領域 1 0 7 を横断して電氣的に素子基板外部の回路と接続される配線パターンを第 1 の支持部材 3 0 2、3 0 3 のみで構成するようにしたため、シール材の段差をより均一にすることができる。

【0024】また、図 8 に示すように、マトリクス回路 1 0 2 又は周辺回路 1 0 3、1 0 4 からの配線がシール材形成領域 1 0 7 を横断しない領域 R1、R2 において、第

1 の配線層 4 0 1 を分断せずに、シール材形成領域 1 0 7 の幅と略等しく矩形波状に形成する。これにより、シール材形成領域 1 0 7 の幅方向の任意の断面構成において、第 1 の配線層が存在するため、外部から水分が侵入することを防止することができる。

【0025】また、本発明において、基板間隔維持手段は、前記画素電極を駆動する薄膜トランジスタと共に形成されるようにし、第 1 の配線層は前記信号線と同時に形成され、前記第 2 の配線層は前記信号線と同時に形成される。

【0026】

【実施例】本発明を図示の実施例に基づいて、詳細に説明する。

【0027】図 1 は実施例 1 ~ 5 のアクティブマトリクス型液晶表示装置の素子基板の概略の正面図であり、周辺駆動回路と表示部を一体化したものである。図 1 に示すように、ガラス、石英等の素子基板 1 0 1 上には、画素部 1 0 2 が配置され、画素部 1 0 2 の周囲において、上側には信号線駆動回路 1 0 3 が設けられ、左側には走査線駆動回路 1 0 4 が設けられている。信号線駆動回路 1 0 3、走査線駆動回路 1 0 4 はそれぞれ信号線 1 0 5、走査線 1 0 6 により画素部 1 0 2 と接続され、信号線 1 0 5、走査線 1 0 6 は画素部 1 0 2 において格子を成し、それらの交差には、それぞれ液晶セル 1 1 1、画素 T F T 1 1 2 が直列に接続されている。画素 T F T 1 1 2 において、ゲート電極は信号線 1 0 5 に接続され、ソース電極は走査線 1 0 6 に接続され、ドレイン電極は液晶セル 1 1 1 の電極に接続されている。

【0028】更に、画素部 1 0 2、信号線駆動回路 1 0 3、走査線駆動回路 1 0 4 を取り囲むようにシール材領域 1 0 7 が配置され、シール材領域 1 0 7 に形成されるシール材により、素子基板 1 0 1 と図示しない対向基板とが接合され、これらの基板間に液晶材料が封入される。

【0029】紙面右側、下側において、信号線 1 0 5、走査線 1 0 6 はシール材形成領域 1 0 7 の外部に延長されて、パネル外部の制御回路等に接続される。更に、素子基板 1 0 1 には外部端子 1 0 8 が設けられており、配線 1 0 9 により外部端子 1 0 8 と信号線駆動回路 1 0 3、走査線駆動回路 1 0 4 とがそれぞれ接続される。

【0030】〔実施例 1〕 本実施例では、図 1 に示すアクティブマトリクス型の液晶表示装置において、シール材の段差を均等にするために、信号線 1 0 3、走査線 1 0 4 の出発膜から整形された電氣的に実質的に絶縁されている配線パターン（ダミー配線構造）をシール材形成領域 1 0 7 に配置して、シール材下部の構造を均一にすることにより、シール材の段差を均一にすることを特徴とする。また、本実施例では、このような配線パターンを液晶パネルに配置される T F T と同時に作製する。

【0031】本実施例のアクティブマトリクス型の液晶パネルの作製工程について、図2～6を用いて説明する。図2にTFTの作製工程を断面図で示し、図2の左側に周辺駆動回路（信号線駆動回路203、走査線駆動回路204）に配置される駆動回路TFTの作製工程を示し、右側に画素部202に配置される画素TFTの作製工程を示す。

【0032】また、図3～図6に第1層目のダミー配線301の作製工程図を示す。図3、図4はシール材形成領域107の模式的な上面図であり、図1において楕円10

【0033】TFTを作製するには、図2（A）に示すように、石英基板またはガラス基板等の基板201上に、下地酸化膜202として厚さ1000～3000Åの酸化珪素膜を形成する。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマCVD法を用いればよい。

【0034】次に、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を300～1500Å、好ましくは500～1000Å形成する。そして、500℃以上、好ましくは、800～950℃の温度で熱アニールをおこない、シリコン膜を結晶化させる。熱アニールによって結晶化させた後に、光アニールをおこなって、さらに結晶性を高めてもよい。また、熱アニールによる結晶化の際に、特開平6-244103、同6-244104に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素（触媒元素）を添加してもよい。

【0035】次に結晶化されたシリコン膜をエッチングして、島状の周辺駆動回路のTFTの活性層203（Pチャネル型TFT用）、204（Nチャネル型TFT）とマトリクス回路のTFT（画素TFT）の活性層205をそれぞれ形成する。さらに、酸素雰囲気中でのスパッタ法によって、厚さ500～2000Åの酸化シリコンをゲイト絶縁膜206として形成する。酸化シリコン膜の形成方法としては、プラズマCVD法を用いてもよい。プラズマCVD法によって酸化シリコン膜を形成する場合には、原料ガスとして、一酸化二窒素（ N_2O ）もしくは酸素（ O_2 ）とモンシラン（ SiH_4 ）を用いることが好ましい。

【0036】その後、第1層目の配線の出発膜を形成する。本実施例では、厚さ2000Å～5μm、好ましくは2000～6000Åの多結晶シリコン膜（導電性を高めるため微量の燐を含有する）をLPCVD法によって基板全面に形成する。そして、これをエッチングして、ゲイト電極207、208、209を形成する。

（図2（A））

【0037】更に、本実施例では、ゲイト電極207～

209を形成すると同時に、図3に示すように、シール材領域107にも第1層目の配線の出発膜をパターンニングして、配線パターンを形成する。

【0038】走査線駆動回路側領域R1、信号線駆動回路側領域R2には、シール材形成領域107を横断するような配線パターン形成する必要がないので、シリコン膜をパターンニングして、電氣的に接続されない、等間隔に配置された線状の第1層目のダミー配線301が形成される。

【0039】走査線延長側領域R3には、シール材形成領域107を横断するように配線302を形成する。配線302は図1に示す走査線106に相当し、画素TFTのゲイト電極209が延長されたものである。

【0040】また信号線延長側領域R4には、シール材形成領域107を横断するように配線303が形成される。配線303の画素部102側の端部には画素部102から延長された第2層目の配線と接続するための接続端部303aが形成される。

【0041】なお、ダミー配線301、及び配線302、303の間隔は走査線106の間隔と同じに、即ち画素の間隔と略同一とされる。本実施例では、第1層目のダミー配線301、配線302、第1層目のダミー配線301の間隔を約50μmとし、その幅を約10μmとする。

【0042】従って、図5に示すように、シール材形成領域107には、第1層目のダミー配線301、配線302、配線303が等間隔に配置されているためシール材形成領域107の断面構成を一様にする事ができる。

【0043】なお、ゲイト電極207～209、第1層目のダミー配線301、配線302、303の出発膜の材料はシリコン膜に限定されるものでなく、一般的に使用されているゲイト電極の材料を使用すればよく、例えば、シリサイドや、陽極酸化可能な材料としてアルミニウム、タンタル、クロム、モリブデン等を使用することができる。

【0044】次に、図2（B）に示すように、イオンドーピング法によって、全ての島状活性層203～205に、ゲイト電極207～209をマスクとして、自己整合的にフォスフィン（ PH_3 ）をドーピングガスとして燐を注入する。ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{13}$ 原子/cm²とする。この結果、弱いN型領域210、211、212が形成される。

【0045】次に、Pチャネル型TFTの活性層203を覆うフォトレジストのマスク213を形成すると同時に、画素TFTの活性層205のうち、ゲイト電極209に平行にゲイト電極209の端から3μm離れた部分までを覆うフォトレジストのマスク214を形成する。そして、再び、イオンドーピング法によって、フォスフィンをドーピングガスとして燐を注入する。ドーズ量は

$1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm² とする。この結果、強いN型領域（ソース／ドレイン）215、216が形成される。画素TFTの活性層205の弱いN型領域212のうち、マスク214に覆われていた領域217は今回のドーピングでは磷が注入されないで、弱いN型のままとする。（図2（C））

【0046】次に、図2（D）に示すNチャネル型TFTの活性層204、205をフォトレジストのマスク218で覆い、ジボラン（B₂H₆）をドーピングガスとして、イオンドーピング法により、島状領域103に硼素を注入する。ドーズ量は $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子/cm² とする。このドーピングでは、硼素のドーズ量が図2（C）における磷のドーズ量を上回るため、先に形成されていた弱いN型領域210は強いP型領域219に反転する。

【0047】図2（B）～（D）に示すドーピング工程を経て、強いN型領域（ソース／ドレイン）215、216、強いP型領域（ソース／ドレイン）219、弱いN型領域（低濃度不純物領域）217が形成される。本実施例においては、低濃度不純物領域217の幅xは、約3μmとする。

【0048】その後、450～850℃で0.5～3時間の熱アニールを施すことにより、ドーピングによるダメージを回復せしめ、ドーピング不純物を活性化して、シリコンの結晶性を回復させる。

【0049】その後、図2（E）、図5に示すように、基板全面に層間絶縁物220として、プラズマCVD法によって酸化シリコン膜を厚さ3000～6000Å形成する。本実施例では層間絶縁物220の膜厚を4000Åとする。なお、層間絶縁物220は、窒化シリコン膜の単層膜、又は酸化シリコン膜と窒化シリコン膜の多層膜であってもよい。層間絶縁物220をエッチングして、ソース／ドレイン219、215、216及び、図3に示す配線303の接続端部303aに対するコンタクトホールをそれぞれ形成する。

【0050】そして、第2層目の配線・電極の出発膜を形成する。本実施例では、スパッタ法によって、厚さ1000Åのチタン膜、厚さ2000Åのアルミニウム膜、厚さ1000Åのチタン膜を連続的に形成する。この3層膜をエッチングして、周辺回路の電極・配線221、522、523および画素TFTの電極・配線224、225を形成すると同時に、図4、図6に示すように、シール材形成領域107に電氣的に接続されない第2層目のダミー配線304が形成される。なお、図6は図4の領域R1～R4における線A-A'による断面図である。

【0051】図4に示すように、第2層目のダミー配線304は第1層目の電極・配線の出発膜（シリコン膜）から形成された第1層目のダミー配線301、配線302、配線303の間に均等に配置される。このため、

図6に示すように、シール材形成領域107の下部構成を一樣にすることができる。なお、ダミー配線304は走査線駆動回路側R1と走査線延長線側領域R3とで1本の配線が分断されたように形成され、同様に、信号線駆動回路側領域R2、信号線延長側領域R4とにおいても、1本の配線が分断されたように形成される。

【0052】更に、本実施例では、図3に示すように、素子基板101外部の回路や外部端子と接続するために、シール材形成領域107を横断するような配線パターン（配線302、配線303）を第1層目の配線の出発膜から形成するようにして、第2層目の配線をシール材形成領域107の外部に延長しないようにして、シール材形成領域107の下部構造の段差がより均一になるようにしている。

【0053】従って、信号線延長側領域R4で画素部102を他の回路とをパネル外部で接続するために、第2層目の電極・配線の出発膜（チタン／アルミニウム／チタン膜）をパターニングする際に、配線303と接続端部303aで接続される配線305が形成される。配線303、配線305により、画素部102を他の回路とをパネル外部で接続することが可能になる。

【0054】なお、第2層目のダミー配線304のピッチを走査線106のピッチとし、即ち配線305のピッチ同じにして、第2層目のダミー配線304の幅を30μmとする。第1層目のダミー配線301、配線302、配線303の間隔は50μm程度であるため、第2層目のダミー配線304の端面と、第1層目のダミー配線301、配線302、配線303端面の間隔は10μm程度となる。

【0055】そして、第2層目の電極・配線の出発膜（チタン／アルミニウム／チタン膜）をパターニングした後に、図2（E）、図6に示すように、プラズマCVD法によって、厚さ1000～3000Åの窒化シリコン膜をパッシベーション膜226として形成する。

【0056】図6に示すように、シール材形成領域107において、層間絶縁膜220上に、第2層目のダミー配線304が第1層目のダミー配線301、配線302、303が形成されていない領域に等間隔に配置されることにより、図4における線A-A'による断面構成、即ちシール材形成領域107の外周沿った断面構成を同一にすることができる。そして、第2層目のダミー配線304の表面にパッシベーション膜227を形成することにより、シール材形成領域107の表面を平坦化することができる。

【0057】なお、シール材形成領域107の外周沿った断面構成を同一にするためには、第1層目の電極・配線の出発膜から形成されたダミー配線301、配線302、配線303のみを配置してもよいが、これらの配線301～303の間隔が約50μmであるのに対して、その幅が約10μmと小さく、その強度を補償できない

ため、第2層目のダミー配線304を形成して、シール材の下部構成を補強する。

【0058】更に、本実施例では、シール材形成領域107の下部構造の段差を均一するためには、第2層目のダミー配線304が第1層目のダミー配線301、配線302、配線303と重ならないようにすることが重要になる。短面の間隔が10 μ m程度であれば、マスクのアライメント等の誤差を考慮しても、第2層目のダミー配線304が第1層目のダミー配線301、配線302、配線303とが重なることを回避することができ

る。

【0059】本実施例では、ダミー配線301、304をシール材形成領域107の幅よりも長く成るように形成したが、ダミー配線301、304がシール材形成領域107から突出しないように形成してもよい。

【0060】なお、外部端子108と接続される配線パターン109の構成は信号線延長側領域R4に配置された配線301、305構成と同一にすればよい。第1層目の配線の出発膜からシール材形成領域を横断する配線パターンを形成する。そして、第2層目の配線の出発膜から第1層目の配線パターンと接続する配線パターンを形成して、信号線駆動回路103と走査線駆動回路104と、外部端子109とが接続されるようにすればよい。

【0061】パッシベーション膜227をエッチングして、画素TFTの電極225に達するコンタクトホールを形成する。最後に、スパッタ法で成膜した厚さ500～1500ÅのITO（インディウム錫酸化物）膜をエッチングして、画素電極228を形成する。このようにして、周辺論理回路とアクティブマトリクス回路を一体化して形成する。（図2（E））

【0062】以下に、アクティブマトリクス型液晶表示パネルの組立工程を説明する。図2～図6に示す工程により得られたTFT基板101と、カラーフィルタ基板とをそれぞれ表面処理に用いられたエッチング液レジスト剥離液等の各種薬品を十分に洗浄する。

【0063】次に配向膜をカラーフィルタ基板及びTFT基板に付着させる。配向膜はある一定の溝が刻まれ、その溝に沿って液晶分子が均一に配列する。配向膜材料にはブチルセルソングかn-メチルピロリドンといった溶媒に、溶媒の約10重量%のポリイミドを溶解したものを用いる。これをポリイミドワニスと呼ぶ。ポリイミドワニスはフレキシ印刷装置によって印刷する。

【0064】そして、TFT基板・カラーフィルタ基板の両基板に付着した配向膜を加熱・硬化させる。これをベークと呼ぶ。ベークは最高使用温度約300℃の熱風を送り加熱し、ポリイミドワニスを焼成・硬化させるものである。

【0065】次に、配向膜の付着したガラス基板表面を毛足の長さ2～3mmのパフ布（レイヨン・ナイロン等の繊維）で一定方向に擦り、微細な溝を作るラビング工

程を行う。

【0066】そして、TFT基板もしくはカラーフィルタ基板のいずれかに、ポリマー系・ガラス系・シリカ系等の球のスペーサを散布する。スペーサ散布の方式としては純水・アルコール等の溶媒にスペーサを混ぜ、ガラス基板上に散布するウェット方式と、溶媒を一切使用せずスペーサを散布するドライ方式がある。

【0067】その次に、TFT基板101の外枠に封止材を塗布する。封止材塗布には、TFT基板とカラーフィルタ基板を接着する役割と注入する液晶材が外部に流出するのを防ぐ目的がある。封止材の材料は、エポキシ樹脂とフェノール硬化剤をエチルセルソルブの溶媒に溶かしたものが使用される。封止材塗布後に2枚のガラス基板の貼り合わせを行う。方法は約160℃の高温プレスによって、約3時間で封止材を硬化する加熱硬化方式をとる。

【0068】素子基板とカラーフィルタ基板を貼り合わせたアクティブマトリクス型液晶表示デバイスの液晶注入口より液晶材を入れて、液晶材注入後エポキシ系樹脂で液晶注入口を封止する。以上のようにして、アクティブマトリクス型液晶表示デバイスが組み立てられる。

【0069】〔実施例2〕 本実施例は実施例1の変形例であり、図1に示す液晶パネルにおいて、シール材形成領域107の配線が横断しない領域の第1層目のダミー配線に関するものである。

【0070】実施例1では、線状の第1層目のダミー配線301と、線状の第2層目のダミー配線304を交互に配置するようにしたため、パターンニングは容易であるが、シール材形成領域107を横断するように配線パターンが配置されているため、配線と層間絶縁膜220、パッシベーション膜227との界面から水分が侵入しやすい。本実施例では、シール材形成領域107において、図4に示す配線302、303のように、画素部102、駆動回路103、104をシール材外部の回路に電氣的に接続するための配線が横断しない領域には、第1層目のダミー配線301を分断しないで形成することにより、外部から水分が侵入することを防止する。

【0071】図7、図8は本実施例のシール材下部構成の作製工程図であり、図7、図8はシール材形成領域107の模式的な上面図であり、図1において楕円で示す領域R1～R4の拡大図である。

【0072】本実施例において、ダミー配線は実施例1と同様にTFTと同時に作製される。また、電氣的に接続される配線がシール材形成領域107を横断するような領域、即ち走査線延長側領域R3、信号線延長側領域R4、及び外部端子108に接続される配線パターン109は実施例1と同一の構成とする。以下、シール材形成領域107に電氣的に接続されない第1層目のダミー配線401の作製工程を図7、図8に従って説明する。

【0073】第1層目の電極・配線となるアルミニウム

10

20

30

40

50

膜等の出発膜を例えば 3000Å の厚さに成膜する。図 7 に示すように、この出発膜をパターンニングして、TFT のゲート電極・配線を形成すると共に、走査線駆動回路側領域 R1、信号線駆動回路側領域 R2 には矩形波状の第 1 層目のダミー配線 401 を形成する。走査線駆動回路側領域 R1、信号線駆動回路側領域 R2 において、第 1 層目のダミー配線 401 のピッチ P1、P2 は走査線 106、信号線 105 のピッチと等しくなるようにし、本実施例では約 $50\mu\text{m}$ とし、第 1 層目のダミー配線 401 の幅を $10\mu\text{m}$ とする。又、第 1 層目のダミー配線 401 はシール材形成領域 107 から突出しないようにする。

【0074】図 7 の線 B-B' による断面図は図 5 に対応する。図 5 に示すように、本実施例では、図 5 に示すように、シール材形成領域 107 には、第 1 層目のダミー配線 401 を配線 302、配線 303 を等間隔に配置したため、シール材形成領域 107 の断面構成を一樣にすることができる。

【0075】この状態で、シール材形成領域 107 の外周沿った断面構成を同一にすることができるが、1 層目の配線の出発膜から形成された第 1 層目のダミー配線 401 は間隔が約 $50\mu\text{m}$ に対して、その幅が約 $10\mu\text{m}$ と小さく、その強度を補償できないため、層間絶縁物 220 上にダミー配線 402 を形成して、シール材の下部構成を補強する。

【0076】層間絶縁物 220 を約 4000Å の厚さに形成した後に、チタン膜やチタンとアルミの積層膜等を第 2 層目の電極・配線の出発膜として、 4000Å の厚さに形成する。この出発膜をパターンニングして、TFT のソース・ドレイン電極・配線を形成すると共に、図 8 に示すように、線状の第 2 層目のダミー配線 402 を等間隔に形成する。第 2 層目のダミー配線 402 は第 1 層目のダミー配線 401 が形成されていない領域を埋める様に、かつ第 1 層目のダミー配線 401 と重ならないように形成される。その後、第 2 層目の電極・配線の出発膜（チタン／アルミニウム／チタン膜）をパターンニングした後に、厚さ $1000\sim 3000\text{Å}$ の窒化シリコン膜をパッシベーション膜 226 として形成する。なお、図 8 における線 B-B' による断面図は図 6 に対応する。

【0077】図 8 に示すように、本実施例では、シール材形成領域 107 において、層間絶縁膜 220 上に、第 2 層目のダミー配線 402 を第 1 層目のダミー配線 401 が形成されていない領域に、等間隔に配置することにより、図 6 に示すようにシール材形成領域 107 の外周沿った断面構成を同一にすることができる。更に、第 2 層目のダミー配線 304 の表面にパッシベーション膜 227 を形成することにより、シール材形成領域 107 の表面を平坦化することができる。

【0078】特に、シール材形成領域 107 の下部構造の段差を均一するためには、第 2 層目のダミー配線 402 が第 1 層目のダミー配線 401 と重ならないようにす

ることが重要になる。端面の間隔が $10\mu\text{m}$ 程度であれば、マスクのアライメント等の誤差を考慮しても、ダミー配線 401 と 402 とが重なることを回避することができる。

【0079】本実施例では、シール材形成領域 107 において、配線が横断しない領域に、具体的には領域 R1、R2 に、分断されないダミー配線 401 を形成したため、シール材形成領域 107 を横断する断面構成（線 B-B' に直交する線に沿った断面構成）において、ダミー配線 401 が必ず存在するため、外部からの水分の侵入を防止することが可能になる。

【0080】〔実施例 3〕 本実施例は実施例 1 の第 1 層目の配線パターンの変形例であり、シール材形成領域 107 に配線パターンを 1 層のみ配置するようにしている。実施例 1 では、第 1 層目のダミー配線 301、第 2 層目のダミー配線 304 を交互に配置するようにしたため、パターンニングは容易であるが、図 6 の断面図に示すように、第 1 層目のダミー配線 301、第 2 層目のダミー配線 304 と層間絶縁膜 220、パッシベーション膜 227 との界面から水分が侵入しやすい。本実施例は水分の侵入を防止するために、シール材形成領域 107 における第 1 層目の配線の形状を工夫したものである。

【0081】図 9 は本実施例のシール材形成領域 107 の上面図であり、走査線駆動回路側領域 R1、信号線駆動回路側領域 R2 付近の拡大図を示す。図 10 は図 9 における点線 C-C' による断面図であり、図 11 は図 9 における点線 D-D' による断面図である。また、本実施例のシール材の下部のダミー配線は実施例 1 と同様に TFT と同時に作製される。

【0082】第 1 層目の電極・配線となる出発膜をアルミニウム膜等により例えば 3000Å の厚さに成膜する。この出発膜をパターンニングして、TFT のゲート電極・配線が形成されると共に、図 9 に示すように、電気的に接続されないダミー配線 501 が形成される。その表面に、図 10、図 11 に示すように、TFT の作製工程に従って、層間絶縁物 220、パッシベーション膜 227 が順次に積層される。なお、実施例 1、2 と同様に、層間絶縁膜 220 上に、第 2 の電極・配線の出発膜からなる配線パターンを、ダミー配線 501 と重ならないように形成してもよい。

【0083】また、ダミー配線 501 のシール材形成領域 107 外縁側には、ダミー配線 501 の長手方向に対して直交する分岐 501a 等間隔に形成される。これらの分岐 501a は隣合うダミー配線 501 の分岐 501a と互い違いに形成されて、ダミー配線 501 の隙間を埋めるように配置される。従って、シール材形成領域 107 を横断する任意の断面構成（線 C-C' に直交する線に沿った断面構成）において、ダミー配線 501 が必ず存在するため、外部からの水分の侵入を防止することが可能になる。

10

20

30

40

50

【0084】外部からの水分の侵入を防止するには、シール材形成領域107の幅Wは数mm程度であるため、分岐501aが形成される領域の長さLは100 μ m～500 μ m程度にすればよい。また、ダミー配線501のピッチは画素のピッチと同一にし、且つ分岐501aが形成されている部分において、隣合うダミー配線501の端面の間隔の最小値は、配線間でショートすることを防止するためには、5～10 μ m程度にすることが好ましい。

【0085】なお、本実施例では、走査線駆動回路側領域R1、信号線駆動回路側領域R2に形成されるダミー配線501のみについて説明したが、走査線延長側領域R3には、ダミー配線501をシール材形成領域107を横断して画素側及び基板外側それぞれ延長して形成する。また、信号線延長側領域R4には、ダミー配線501を基板外側に延長するようして、画素側には図3に示す配線303のように接続端部を形成すればよい。

【0086】この結果、シール材形成領域107の外縁部側に分岐501aを有する配線パターンが均一に配置されるために、図1に示すシール材形成領域107に配置されるシール材の下部構成を紙面において左右、上下に20 対称にすることができると、基板張り合わせ時に基板に均等に圧力をかけることができる。

【0087】なお、実施例1～3において、シール材形成領域107に配置された基板間隔補正手段の最上層をパッシベーション膜227としたが、その表面に、さらに、画素電極228、ブラックマトリクス等を画素部102の作製工程に従って形成してもよい。

【0088】〔実施例4〕 実施例1、2においては、シール材の下部構成を均一に配置するようにするため、シール材形成領域において、第1層目の配線の端面と第2層目の配線の端面とが重ならないようにしている。本実施例では、第1層目の配線の端面と第2層目の配線の端面とを重ねて、シール材と画素部との段差が小さくなるようにする。図12は本実施例の基板間隔補正手段の上面図であり、走査線駆動回路側、又は信号線駆動回路側の領域のみを図示している。また、図13は図12の線E-E'における断面図である。

【0089】本実施例は図4、図6に示す実施例1の第2層目のダミー配線304の変形例であり、先ず、シール材形成領域には、走査線602の出発膜により線状の第1層目のダミー配線を形成する。そして、層間絶縁物220を形成した後に、信号線603の出発膜をパターンニングして、第2層目のダミー配線601を形成する。ダミー配線601は第1層目のダミー配線301と重なるように、かつダミー配線301が形成されていない領域を埋める様に等間隔に形成される。

【0090】これにより、シール材の下部構成を均一にすることができるので、基板の張り合わせ時に、シール材に均等に圧力をかけることができる。更に、走査線6

02と信号線603とが重なっている部分と略同じ段差を有する凸部が、シール材形成領域に等間隔に配置されている。従って、基板張り合わせの圧力をシール形成領域の凸部で支持されるので、スペーサにより、走査線602と信号線603とが上下間でショートすることを防止することができる。

【0091】なお、本実施例では、第2層目のダミー配線601をシール材形成領域107の幅よりも短くしたが、シール材形成領域107の幅よりも長くしてもよい。

【0092】〔実施例5〕 本実施例では、実施例4と同様に、第1層目の配線の端面と第2層目の配線の端面とを重ねて、シール材と画素部との段差が小さくなるようにする。図14は本実施例の基板間隔補正手段の上面図であり、走査線駆動回路側、又は信号線駆動回路側の領域のみを図示している。また、図15は図14の線F-F'における断面図である。

【0093】本実施例は図8に示す実施例2の第2層目のダミー配線401の変形例であり、先ず、シール材形成領域には、走査線702の出発膜により線状の第1層目のダミー配線を形成する。そして、層間絶縁物220を形成した後に、信号線703の出発膜をパターンニングして、第2層目のダミー配線701を形成し、その表面にパッシベーション膜227を形成する。ダミー配線701は第1層目のダミー配線401と重なるように、かつダミー配線401が形成されていない領域を埋める様に等間隔に形成される。これにより、シール材の下部構成を均一にすることができるので、基板の張り合わせ時に、シール材に均等に圧力をかけることができる。更に、走査線602と信号線603とが重なっている部分と略同じ段差を有する凸部が、シール材形成領域に等間隔に配置されている。従って、基板張り合わせの圧力をシール形成領域の凸部で支持されるので、スペーサにより、走査線607と信号線703とが上下間でショートすることを防止することができる。

【0094】なお、実施例4、5において、シール材形成領域107に配置された基板間隔補正手段の最上層をパッシベーション膜227としたが、その表面に、さらに、画素電極228、ブラックマトリクス等を画素部102の作製工程に従って、形成してもよい。これにより、基板補正手段の段差と画素部の段差をより等しくすることができる。

【0095】

【発明の効果】本発明に係る液晶表示装置において、シール材の下部に形成される基板間隔補正手段補正の段差を均一にすることができるためシール材自体の段差も均一にすることができる。また、基板間隔補正手段により、スペーサーを含んでもマトリクス回路がシール材よりも突出することがない。従って、基板張り合わせ時に、周辺駆動回路において配線が上下間でショートする

ことを回避することができ、周辺駆動回路一体型の液晶表示装置の歩留りを向上するとともに、信頼性をも向上することができる。さらに、基板間隔を均一に維持することができるので、表示ムラがなくなり、高精細な表示が可能になる。

【0096】更に、本発明の基板間隔補正手段は、マトリクス回路、周辺駆動回路と同時に、かつ工程数を増加することなく作製することが可能である。

【図面の簡単な説明】

【図1】実施例1～5の液晶表示装置の上面図である。 10

【図2】実施例1～5のTFTの作製工程図である。

【図3】実施例1のシール材下部構成の作製工程図である。

【図4】実施例1のシール材下部構成の作製工程図である。

【図5】図4の線A-A'における断面図であり、図7の線B-B'における断面図である。

【図6】図4の線A-A'における断面図であり、図8の線B-B'における断面図である。

【図7】実施例2の基板間隔補正手段の作製工程図である。 20

【図8】実施例2の基板間隔補正手段の作製工程図である。

【図9】実施例3の基板間隔補正手段の作製工程図であ

る。

【図10】図9の線C-C'における断面図である。

【図11】図9の線D-D'における断面図である。

【図12】実施例4の基板間隔補正手段の上面図である。

【図13】図12の線E-E'における断面図である。

【図14】実施例5の基板間隔補正手段の上面図である。

【図15】図14の線F-F'における断面図である。

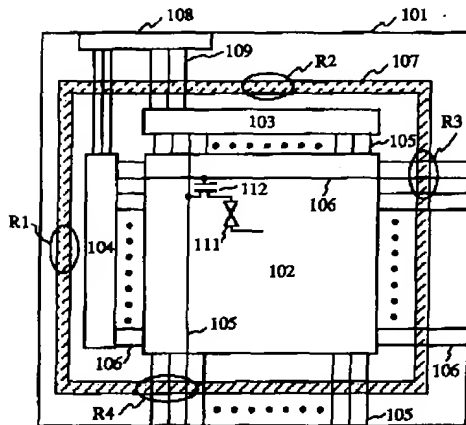
【図16】従来例1の液晶表示装置の上面図である。

【図17】従来例2の液晶表示装置の上面図である。

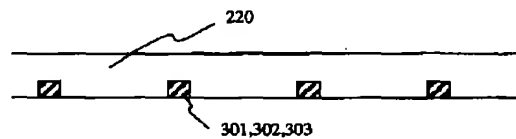
【符号の説明】

101	素子基板
102	画素部
103	信号線駆動回路
104	走査線駆動回路
105	信号線
106	走査線
107	シール材形成領域
301、401	第1層目のダミー配線
302、303、305	配線
304、402	第2層目のダミー配線
501	ダミー配線

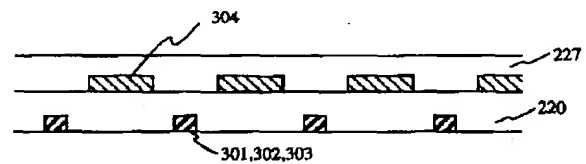
【図1】



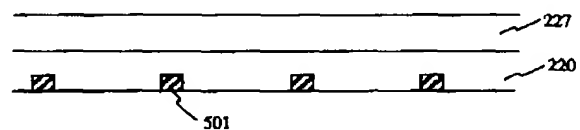
【図5】



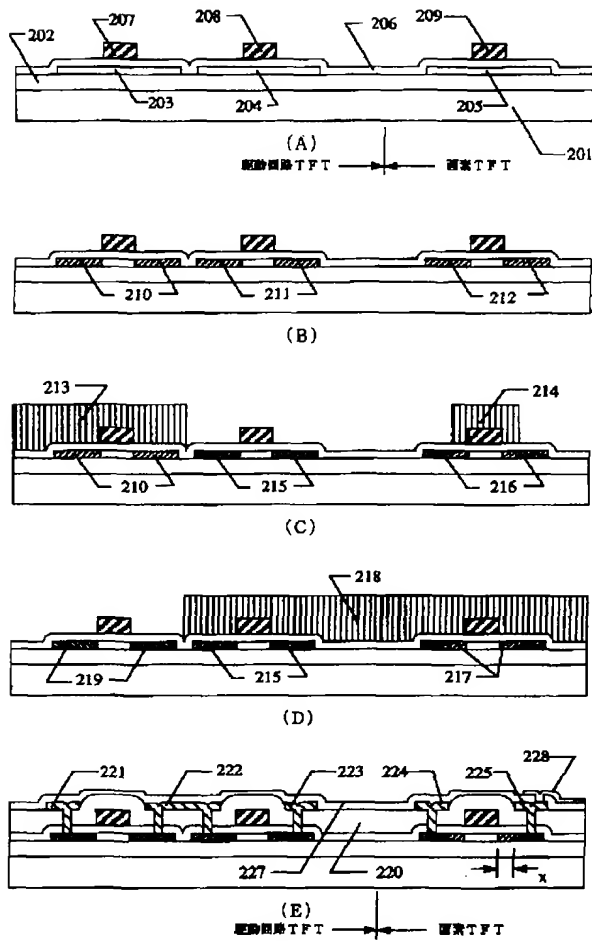
【図6】



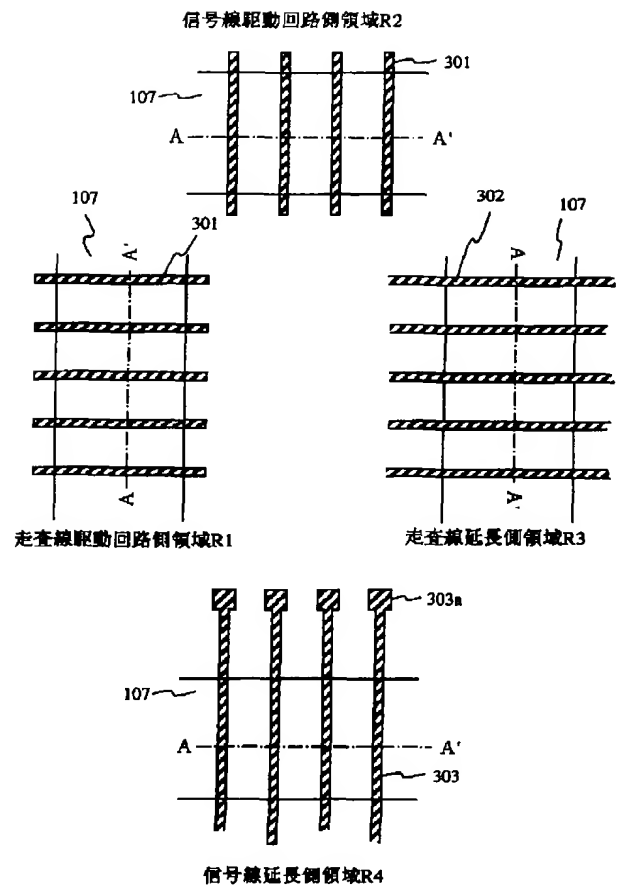
【図10】



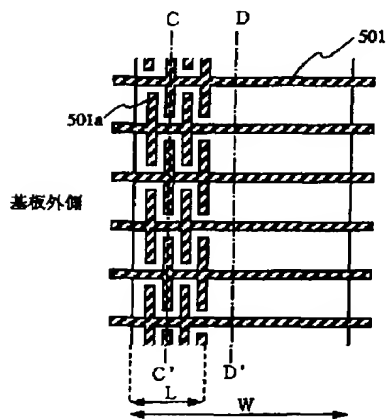
【図 2】



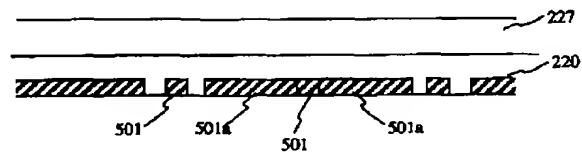
【図 3】



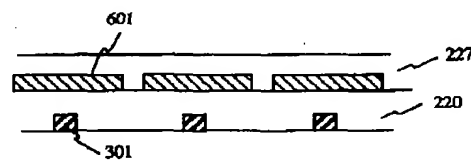
【図 9】



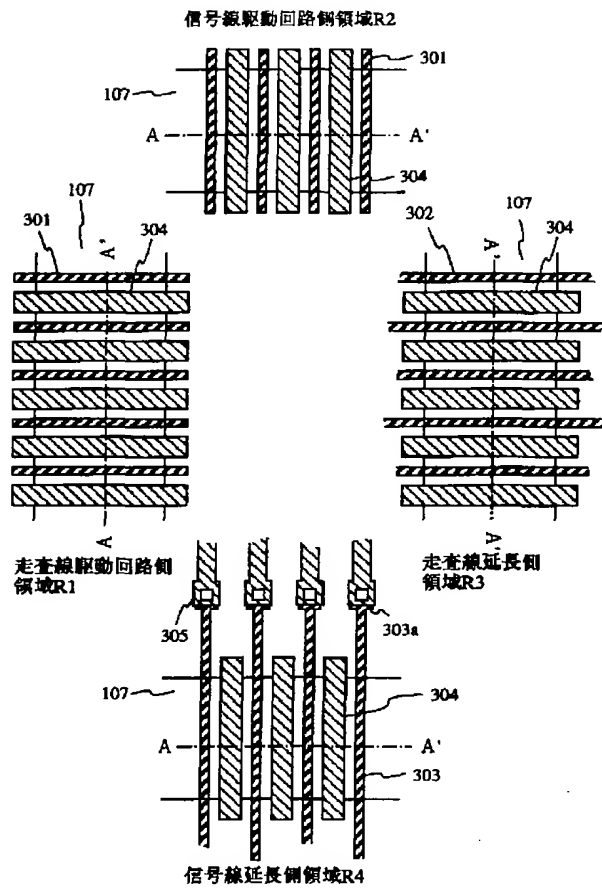
【図 11】



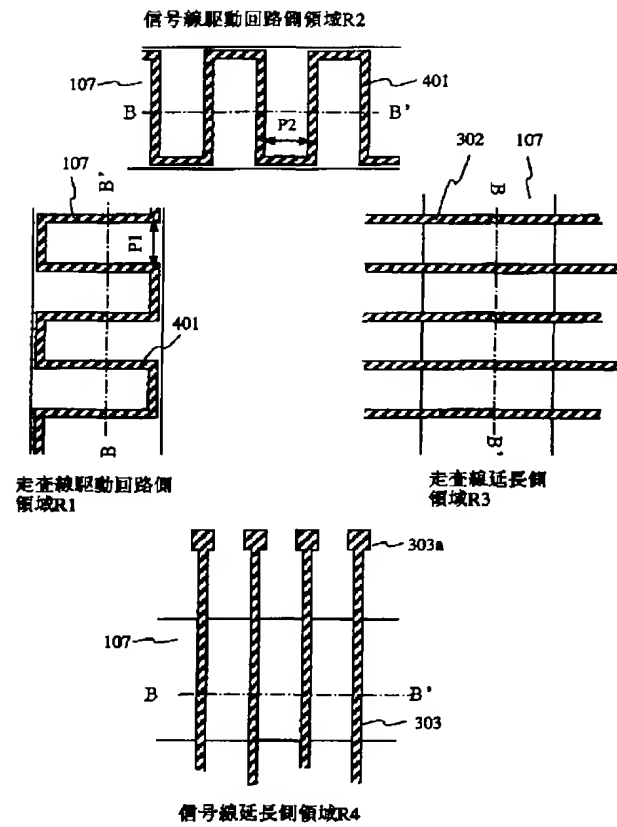
【図 13】



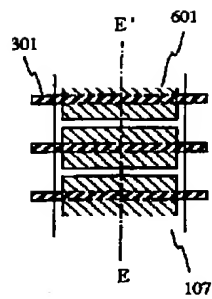
【図 4】



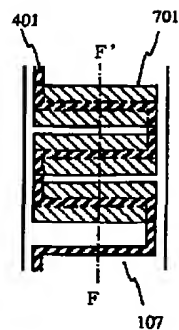
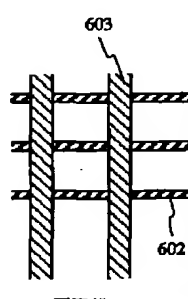
【図 7】



【図 1 2】

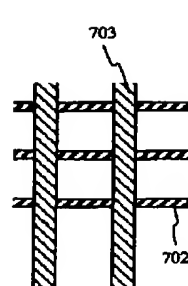


画素部

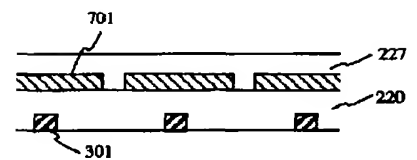


画素部

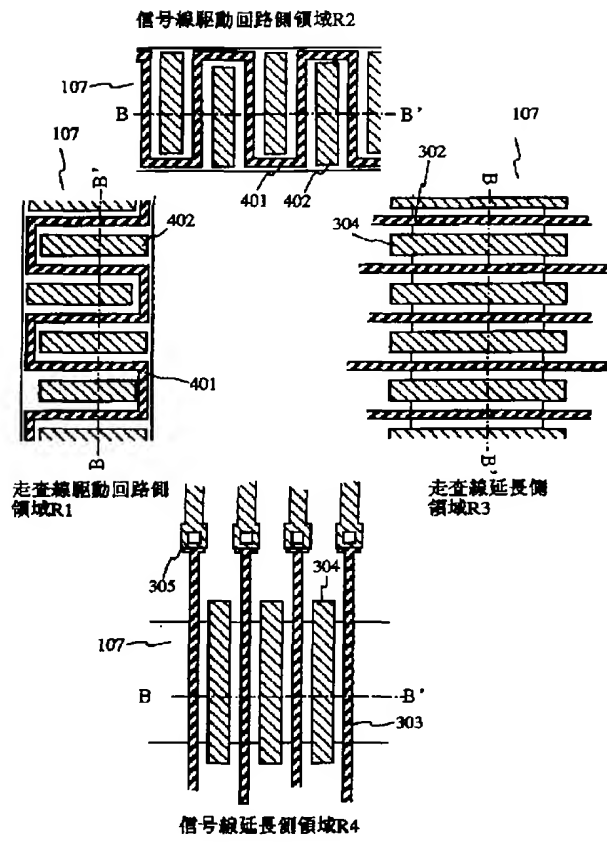
【図 1 4】



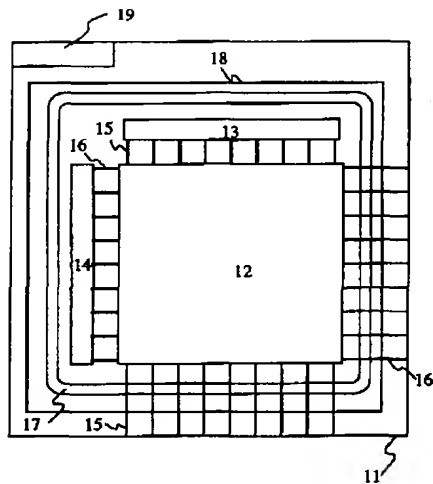
【図 1 5】



【圖 8】



【圖 1 7】



【圖 1 6】

